

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Se-Ho Lee

Serial No.: To Be Assigned

Filed: Concurrently Herewith

For: PHASE-CHANGEABLE MEMORY DEVICES HAVING PHASE-CHANGEABLE
MATERIAL REGIONS WITH LATERAL CONTACTS AND METHODS OF
FABRICATION THEREFOR

Date: August 25, 2003

Mail Stop Patent Application
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

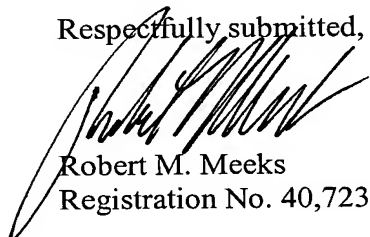
SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

10-2002-0052728, filed September 3, 2002.

Respectfully submitted,



Robert M. Meeks
Registration No. 40,723

USPTO Customer No. 20792
Myers Bigel Sibley & Sajovec
Post Office Box 37428
Raleigh, North Carolina 27627
Telephone: 919/854-1400
Facsimile: 919/854-1401

"Express Mail" mailing label number EV 318420770 US
Date of Deposit: August 25, 2003

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1.10 on the date indicated above and is addressed to Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.



Candi L. Riggs
Date of Signature: August 25, 2003

대한민국 특허청
KOREAN INTELLECTUAL
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0052728
Application Number

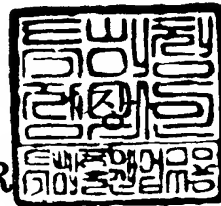
출원년월일 : 2002년 09월 03일
Date of Application SEP 03, 2002

출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 02 13
 년 월 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2002.09.03
【발명의 명칭】	상전이 기억 소자 구조 및 그 제조 방법
【발명의 영문명칭】	PHASE-CHANGEABLE MEMORY DEVICE STRUCTURE AND METHOD FOR FABRICATING THE SAME
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	황영남
【성명의 영문표기】	HWANG, YOUNG NAM
【주민등록번호】	681114-1026017
【우편번호】	153-011
【주소】	서울특별시 금천구 독산1동 주공14단지아파트 1403동 901호
【국적】	KR
【발명자】	
【성명의 국문표기】	이세호
【성명의 영문표기】	LEE, SE HO
【주민등록번호】	721220-1057066

【우편번호】	449-900		
【주소】	경기도 용인시 기흥읍 농서리 산 24번지		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 임창현 (인) 대리인 권혁수 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	31	면	31,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	31	항	1,101,000 원
【합계】	1,161,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】**【요약】**

상전이 물질을 이용한 기억 소자 및 그 제조 방법에서 상전이 물질막을 상변화 시키기 위한 전류 펄스가 상전이 물질막의 양측벽을 통해서 공급된다. 서로 떨어져서 대칭적으로 배치된 한 쌍의 도전막 패턴들 사이에 형성되되, 서로 마주 보는 상기 도전막 패턴들 측벽에 직접 접촉하도록 상전이 물질막이 형성된다. 따라서 도전막 패턴에 직접 접촉하는 상전이 물질막의 측면들의 치수는 도전막 패턴들의 두께 및 넓이에 좌우되기 때문에, 도전막 패턴의 두께를 얇게 함으로써 접촉면적을 감소시킬 수 있다. 또한 접촉면이 대칭적으로 두 곳에 존재하기 때문에 상전이 기억 소자에 대한 프로그램 및 소거 전류량을 줄일 수 있고 또한 안정적인 프로그램 및 소거 동작이 가능하다.

【대표도】

도 3c

【색인어】

상전이 물질, 칼코게나이드, 기억 소자

【명세서】

【발명의 명칭】

상전이 기억 소자 구조 및 그 제조 방법{PHASE-CHANGEABLE MEMORY DEVICE STRUCTURE AND METHOD FOR FABRICATING THE SAME}

【도면의 간단한 설명】

도1은 상전이 기억 셀을 프로그램 및 소거시키는 방법을 설명하기 위한 그래프이다.

도2는 통상적인 상전이 기억 소자를 개략적으로 보여주는 반도체 기판 일부의 단면도이다.

도3a는 본 발명의 일 실시예에 따른 상전이 기억 소자를 개략적으로 도시한 반도체 기판 일부의 단면도이다.

도3b는 도3a의 상전이 기억 소자를 I-I' 선을 따라 위에서 바라본 평면도이다.

도3c는 도3b의 상전이 기억 소자를 구체적으로 보여주는 사시도이다.

도4는 도3a의 상전이 기억 소자의 등가 회로도이다.

도5a 내지 도5g는 본 발명의 일 실시예에 따른 도3a의 상전이 기억 소자의 제조 방법에서 공정 순서에 따른 주요 공정 단계에서의 반도체 기판 일부의 단면도들이다.

도6a 내지 도6e는 본 발명의 다른 실시예에 따른 도3a의 상전이 기억 소자의 제조 방법에서 공정 순서에 따른 주요 공정 단계에서의 반도체 기판 일부의 단면도들이다.

도7a 내지 도7e는 본 발명의 또 다른 실시예에 따른 도3a의 상전이 기억 소자의 제조 방법에서 공정 순서에 따른 주요 공정 단계에서의 반도체 기판 일부의 단면도들이다.

***도면의 주요 부분에 대한 부호의 설명**

100: 반도체 기판 120: 게이트 라인

140: 소오스 영역 160: 드레인 영역

200: 공통 드레인 전극 240, 340: 콘택 플러그

260a, 260b: 도전막 패턴 270a, 270b: 활성 접촉면

300a: 상전이 물질막 패턴 360: 비트라인

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<16> 본 발명은 반도체 기억 소자에 관한 것으로서, 더욱 상세하게는 상전이 기억 소자 구조 및 그 제조 방법에 관한 것이다.

<17> 반도체 기억 소자들은 전원 공급이 중단 되었을 때, 데이터의 보유 유무에 따라, 크게 휘발성 기억 소자 및 비휘발성 기억소자로 나눌 수 있다. 휘발성 기억 소자들의 대표적인 것은 디램 소자들 및 에스램 소자들이며, 비휘발성 기억소자들의 대표적인 것은 플래쉬 기억 소자들이다. 이와 같은 전형적인 기억 소자들은 저장된 전하 유무에 따라 논리 "0" 또는 논리 "1"을 나타낸다. 휘발성 기억 소자인

디램은, 주기적인 리프레쉬 동작이 필요하기 때문에, 높은 전하 저장능력이 요구되며, 이로 인해 커패시터 전극의 표면적을 증가시키기 위해 많은 노력이 시도되고 있다. 하지만 커패시터 전극의 표면적 증가는 디램 소자의 집적도 증가를 어렵게 한다. 한편 통상적인 플래쉬 기억 셀들은 반도체 기판에 차례로 적층된 게이트절연막, 부유게이트, 유전체막 및 제어게이트로 구성된 게이트 패턴을 갖는다. 플래쉬 기억 셀의 데이터를 기입 또는 소거하는 원리는 상기 게이트절연막을 통하여 전하들 터널링시키는 방법을 사용한다. 이때, 전원전압에 비하여 높은 동작전압이 요구된다. 이로 인하여, 상기 플래쉬 기억 소자들은 기입동작 및 소거동작에 필요한 전압을 형성하기 위하여 승압 회로가 요구된다.

<18> 따라서 비휘발성 특성 및 임의 접근이 가능하고, 소자의 집적도도 증가시키면서 구조가 간단한 새로운 기억 소자를 개발하기 위한 많은 노력이 있었으며, 이에 따라 나타난 대표적인 것이 상전이 기억 소자이다. 상전이 기억 소자는 상전이 물질을 사용한다. 제공되는 전류 크기(즉, 주울 열)에 따라서, 상전이 물질은 비정질 상태와 결정질 상태 사이에서 또는 결정질 상태하에서 여러 비저항 상태들 사이에서 전기적으로 전환 (switch)되는 물질이다.

<19> 도1은 상전이 기억 셀을 프로그램 및 소거시키는 방법을 설명하기 위한 그래프이다. 여기서, 가로축은 시간(T)을 나타내고, 세로축은 상전이 물질막에 가해지는 온도(TMP: 단위 $^{\circ}\text{C}$)를 나타낸다.

<20> 도1를 참조하면, 상전이 물질막을 용융온도(melting temperature; T_m)보다 높은 온도에서 짧은 기간(제1기간; T_1) 동안 가열한 후에 빠른 속도로

냉각시키면(quenching), 상전이 물질막은 비정질 상태(amorphous state)로 변한다(곡선 ① 참조). 이에 반하여, 상전이 물질막을 용융온도(T_m)보다 낮고 결정화 온도(crystallization temperature; T_c)보다 높은 온도에서 제1기간(T_1) 보다 긴 제2기간(T_2) 동안 가열(annealing)한 후에 냉각시키면, 상전이 물질막은 결정 상태(crystalline state)로 변한다(곡선 ② 참조). 비정질 상태를 갖는 상전이 물질막의 비저항은 결정질 상태를 갖는 상전이 물질막의 비저항보다 높다. 따라서, 읽기 모드에서 상기 상변환 물질막을 통하여 흐르는 전류를 감지(detection)함으로써, 상기 상변환 기억 셀에 저장된 정보가 논리 "1" 인지 또는 논리 "0"인지를 판별(discriminate)할 수 있다. 상기 상전이 물질막으로는 칼코게나이드 물질, 즉, 게르마늄(Ge), 스티비움(stibium; Sb) 및 텔루리움(tellurium; Te)을 함유하는 화합물막(compound material layer; 이하 'GST막' 이라 함)이 널리 사용된다.

<21> 상술한 바와 같이 상전이 물질의 상태를 전환하기 위해서는 열(heat)이 필요하다. 통상적인 상전이 기억 소자에 있어서, 상전이 물질막과 접촉하는 면적을 통해 높은 밀도의 전류를 흘려보내면, 접촉부분의 상전이 물질막의 결정 상태가 변한다. 접촉면이 작으면 작을 수록 상전이 물질의 상태를 변화시키는데 필요한 전류 밀도는 작아진다.

<22> 도2는 통상적인 상전이 기억 소자 구조를 설명하기 위한 상전이 기억 셀 하나를 개략적으로 도시한 단면도이다. 도2를 참조하면, 통상적인 상전이 기억 소자는 하부 도전막 패턴(10), 상기 하부 도전막 패턴(10) 상에 배치된 절연막(12) 내에 형성된 콘택 플러그(14)를 통해서 상기 하부 도전막 패턴(10)에 전기적으로 연결되는 상전이 물질막 패턴(16) 및 상기 상전이 물질막 패턴(16) 상에 형성된 상부 도전막 패턴(18)을 포함한다. 이와 같은 통상적인 상전이 기억 소자에서, 상기 하부 도전막 패턴(10) 및 상부 도전막

패턴(18) 사이에 전류가 흐르면, 상기 콘택 플러그(14)와 상기 상전이 물질막 패턴(14)이 접촉하는 면(20, 이하에서 '활성 접촉면'이라 함)을 통하는 전류 세기(즉, 열)에 따라 상기 활성 접촉면(20)의 상전이 물질의 결정 상태가 변한다. 상전이 물질의 상태를 변화시키기 위해서 필요한 열(에너지)은 상전이 물질막 패턴(16)이 콘택 플러그(14)와 접촉하는 활성 접촉면(20)에 직접적인 영향을 받는다. 따라서 상기 활성 접촉면(20)은 가능한한 작아야 한다.

<23> 하지만 이와 같은 통상적인 상전이 기억 소자에서는, 콘택 플러그(14)를 통해서 하부 도전막 패턴(10)과 상전이 물질막 패턴(16)이 연결되기 때문에, 활성 접촉면(20)의 치수가 전적으로 콘택홀에 대한 사진 공정 한계에 제한을 받으며, 사진 공정의 한계를 넘어선 더 이상의 활성 접촉면의 크기 감소는 불가능하다. 또한 전체 메모리 소자에서 콘택홀을 균일하게 형성하기는 어려우며 콘택홀 크기의 변이가 발생하기 쉽다. 이에 따라, 각 접촉면의 상전이 물질의 상태 변화가 일정하지 않게 되고, 따라서 기억 셀에 대한 읽기 동작등에서 에러가 발생하기 쉬운 문제점이 있다. 또한 결정 상태가 변하는 활성 접촉면(20)이 콘택 플러그(14)와 접촉하는 면에 하나만 생기기 때문에, 결정 상태 변화로 인한 저항 변이가 작은 문제점이 발생한다.

【발명이 이루고자 하는 기술적 과제】

<24> 따라서 본 발명은 이상에서 설명한 문제점을 해결하기 위해 제안된 것으로서, 활성 접촉면의 면적이 감소된 상전이 기억 소자 및 그 제조 방법을 제공하는데 그 목적이 있다.

<25> 본 발명의 다른 목적은, 복수 개의 활성 접촉면을 구비하는 상전이 기억 소자 및 그 제조 방법을 제공하는 것이다.

【발명의 구성 및 작용】

- <26> 상기 본 발명의 목적들을 달성하기 위한 상전이 기억 소자는 활성 접촉면이 상전이 물질막 패턴의 양측벽에 존재하는 것을 일 특징으로 한다. 상전이 물질막 패턴과 동일 평면 상에서, 활성 접촉면들에 접촉하도록 한 쌍의 도전막 패턴들이 배치된다. 따라서, 활성 접촉면의 크기는 도전막 패턴의 두께 및 넓이에 좌우되며, 도전막 패턴의 두께를 얇게 함으로써 활성 접촉면의 크기를 줄일 수 있다.
- <27> 구체적으로 상기 본 발명의 목적들을 달성하기 위한 기억 소자는, 동일 평면 상에서 서로 떨어져서 대칭적으로 배치된 한 쌍의 도전막 패턴들을 포함한다. 서로 마주보는 상기 도전막 패턴들의 측벽들과 직접 접하는 한 쌍의 활성 접촉면들을 구비하며 상기 활성 접촉면을 통해 상기 도전막 패턴들에 직접 접촉하도록 상기 하부전극 패턴들 사이에 가변저항체 패턴이 배치된다. 상기 가변저항체 패턴의 비저항을 감지하기 위한 상부 금속 배선이 상기 한 쌍의 도전막 패턴들 중 어느 하나의 패턴에 전기적으로 연결되도록 상기 도전막 패턴들 및 가변저항체 패턴의 상부에 배치된다. 상기 한 쌍의 도전막 패턴들 중 다른 하나의 패턴에 전기적으로 연결되도록 상기 도전막 패턴들 및 가변저항체 패턴의 하부에 불순물 확산영역을 구비한 반도체 기판이 배치된다.
- <28> 상기 가변저항체 패턴은 가해지는 열(또는 에너지)에 따라 결정 상태가 변하는 상전이 물질이며, 예컨대 칼코게나이드 물질이다.
- <29> 상기 상부 금속 배선은, 상기 도전막 패턴들 및 가변저항체 패턴 상에 배치된 상부 절연막을 관통하는 상부 콘택 플러그를 통해서 상기 어느 하나의 도전막 패턴에 전기적으로 연결되는 것이 바람직하다.

- <30> 상기 불순물 확산영역은, 상기 도전막 패턴들 및 가변저항체 패턴 아래에 배치된 하부 절연막을 관통하는 하부 콘택 플러그를 통해서 상기 다른 하나의 도전막 패턴에 전기적으로 연결되는 것이 바람직하다.
- <31> 일 실시예에 있어서, 상기 상전이 기억 소자는, 상기 불순물 확산영역으로 부터 떨어져서 상기 반도체 기판 내에 형성된 또 다른 불순물 확산영역과, 상기 불순물 확산영역 및 또 다른 불순물 확산영역 사이의 반도체 기판 상에 그리고 상기 하부 절연막 내에 배치된 게이트 라인과, 상기 하부 절연막 내에 배치되며 상기 하부 절연막의 소정 부분을 통해서 상기 또 다른 불순물 확산영역에 전기적으로 연결된 공통 드레인 전극을 더 포함한다. 이때, 상기 상부 금속 배선 및 상기 공통 드레인 전극 사이에서 전류가 흐를 때, 상기 가변저항체 패턴의 상기 활성 접촉면들을 가로 질러 흐르는 전류 밀도 세기에 따라 상기 활성 접촉면들을 구성하는 가변저항체 물질의 결정 구조가 변한다. 예컨대, 상기 상부 금속 배선을 접지하고 상기 게이트 라인에 턴-온 전압을 가한 상태에서 상기 공통 드레인 전극을 통해서 일정한 전류를 공급하면, 상기 활성 접촉면들에 열(또는 에너지)이 공급되어 활성 접촉면들의 결정 구조가 변하게 되어 프로그램 동작이 수행된다. 읽기 동작은, 상기 공통 드레인 전극을 접지시키고, 상기 상부 금속 배선에 읽기 전압을 인가하여 상기 가변저항체 패턴의 저항을 감지함으로써 수행된다.
- <32> 일 실시예에 있어서, 상기 한 쌍의 도전막 패턴은 질화 티타늄막을 포함하고, 상기 하부 콘택 플러그 및 상부 콘택 플러그는 각각 차례로 적층된 티타늄, 질화 티타늄막 그리고, 텅스텐을 포함한다.
- <33> 상기 본 발명의 목적들을 달성하기 위한 상전이 기억 소자는, 양 측면에 활성 접촉면들을 구비하는 상전이 물질막 패턴과, 상기 상전이 물질막 패턴과 동일 평면상에 배치

되고 상기 상전이 물질막 패턴의 상기 활성 접촉면들에 직접 접촉하는 대칭적인 한 쌍의 도전막 패턴과, 상기 상전이 물질막 패턴 및 도전막 패턴들 상에 배치된 상부 절연막과, 상기 상부 절연막 상에 배치되고 상기 상부 절연막을 관통하는 상부 콘택 플러그를 통해서 어느 하나의 도전막 패턴에 전기적으로 연결된 비트라인과, 상기 상전이 물질막 패턴 및 도전막 패턴들 아래에 배치된 하부 절연막과, 상기 하부 절연막을 관통하는 하부 콘택 플러그를 통해서 다른 하나의 도전막 패턴에 전기적으로 연결된 소오스 영역을 구비한 반도체 기판을 포함한다.

<34> 일 실시예에 있어서, 상기 상전이 기억 소자는, 상기 소오스 영역으로부터 떨어져 상기 반도체 기판 내에 형성된 드레인 영역과, 상기 소오스 영역 및 드레인 영역 사이의 반도체 기판 상에 배치된 게이트 라인과, 상기 하부 절연막 내에 배치되고 상기 하부 절연막의 소정 부분을 통해서 상기 드레인 영역에 전기적으로 연결된 공통 드레인 전극을 더 포함한다.

<35> 상기 본 발명의 목적들을 달성하기 위한 상전이 기억 소자는, 양 측벽에 활성 접촉면들을 구비한 상전이 물질막 패턴과, 상기 상전이 물질막 패턴과 동일 평면 상에 배치되고 한 활성 접촉면에 접촉하는 제1 전극 패턴과, 상기 상전이 물질막 패턴과 동일 평면 상에 배치되고 다른 활성 접촉면에 접촉하며 상기 제1 전극 패턴에 대해서 거울 대칭을 이루는 제2 전극 패턴과, 상기 제2 전극 패턴에 전기적으로 연결된 저항 감지 배선과, 그리고 상기 제2 전극 패턴에 전기적으로 연결된 불순물 확산영역을 구비한 반도체 기판을 포함한다.

<36> 일 실시예에 있어서, 상기 상전이 물질막 패턴 및 전극 패턴들과 상기 저항 감지 배선 사이에 상부 절연막이 개재하고, 상기 저항 감지 배선은 상기 상부 절연막을 관통

하는 상부 콘택 플러그를 통해 상기 제2 전극 패턴과 전기적으로 연결되고, 상기 상전이 물질막 패턴 및 전극 패턴들과 상기 반도체 기판 사이에 하부 절연막이 개재하고, 상기 불순물 확산영역은 상기 하부 절연막을 관통하는 하부 콘택 플러그를 통해 상기 제1 전극 패턴에 전기적으로 연결된다. 이때, 상기 저항 감지 배선은 상기 상전이 물질막 패턴의 비저항을 감지하여 논리 상태에 대한 정보를 제공한다.

<37> 상기 상전이 기억 소자에서, 상기 각 전극 패턴은 콘택 플러그와 접촉하는 콘택부와 상기 콘택부의 측벽 중심에서 상기 상전이 물질막 패턴을 향해서 돌출하여 상기 활성 접촉면에 접촉하는 접촉부를 포함한다. 이때, 상기 접촉부의 넓이는 상기 접촉부의 두께보다 치수가 작은 것이 바람직하다. 이에 따라 상기 활성 접촉부의 면적을 줄일 수 있다.

<38> 상기 본 발명의 목적들을 달성하기 위한 기억 소자 형성 방법은 콘택 플러그 공정에 의해 활성 접촉면을 한정짓지 않는 것을 일 특징으로 한다. 활성 접촉면이 가변저항체 물질막 측면에 형성된다. 이에 따라 활성 접촉면의 치수가 가변저항체 물질막 측면의 활성 접촉면에 접촉하는 도전막 패턴의 두께에 좌우되며, 그 두께를 얇게 형성함으로써 활성 접촉면의 크기를 줄일 수 있다.

<39> 상기 본 발명의 목적들을 달성하기 위한 기억 소자 형성 방법은 두 개의 활성 접촉면을 형성하는 것을 또 다른 하나의 특징으로 한다. 활성 접촉면이 가변 저항체 물질막 양 측면에 대칭적으로 형성된다.

<40> 구체적으로 상기 본 발명의 목적들을 달성하기 위한 기억 소자 제조 방법은, 불순물 확산영역을 구비한 반도체 기판을 제공하는 단계와, 상기 불순물 확산영역에 전기적으로 연결되는 도전막을 형성하는 단계와, 어느 한 도전막 패턴은 상기 불순물 확산영역

에 전기적으로 연결되도록 상기 도전막을 패터닝하여 대칭적인 한 쌍의 도전막 패턴들을 형성하는 단계와, 서로 마주보는 상기 도전막 패턴들의 측벽들에 직접 접촉하는 활성 접촉면을 구비한 가변저항체 패턴을 상기 한 쌍의 도전막 패턴들 사이에 형성하는 단계와, 상기 다른 하나의 도전막 패턴에 전기적으로 연결되는 금속 배선을 형성하는 단계를 포함한다.

<41> 상기 방법에 있어서, 상기 한 쌍의 도전막 패턴은, 상기 불순물 확산영역에 전기적으로 연결되도록 상기 도전막을 패터닝 하여 임시 도전막 패턴을 형성하고, 상기 임시 도전막 패턴이 형성된 결과물 상에 절연막을 형성하고, 상기 임시 도전막 패턴이 상기 한 쌍의 도전막 패턴들로 분리되도록 상기 절연막 및 상기 임시 도전막 패턴을 패터닝하여 형성하는 것이 바람직하다. 이때, 상기 가변저항체 물질막 패턴을 형성하는 단계는, 상기 절연막 및 임시 도전막 패턴을 패터닝 한 후, 가변저항체 물질막을 상기 절연막 상부 및 상기 한 쌍의 도전막 패턴 사이의 공간에 형성하는 단계와, 상기 가변저항체 물질막을 패터닝하는 단계를 포함한다.

<42> 일 실시예에 있어서, 상기 한 쌍의 도전막 패턴은, 상기 도전막 상에 절연막을 형성하고, 상기 절연막 및 도전막을 패터닝하여 형성할 수 있다. 이때, 상기 가변저항체 물질막 패턴은, 상기 절연막 및 임시 도전막 패턴을 패터닝 한 후, 가변저항체 물질막을 상기 절연막 상부 및 상기 한 쌍의 도전막 패턴 사이의 공간에 형성하고, 상기 가변저항체 물질막을 패터닝하여 형성한다.

<43> 일 실시예에 있어서, 상기 도전막을 형성하는 단계는, 상기 반도체 기판 상에 하부 절연막을 형성하는 단계와, 상기 하부 절연막을 패터닝하여 상기 불순물 확산영역을 노출시키는 하부 콘택홀을 형성하는 단계와, 상기 하부 콘택홀을 채우는 하부 콘택 플러그

를 형성하는 단계와, 상기 콘택 플러그 및 하부 절연막 상에 상기 도전막을 형성하는 단계를 포함한다.

<44> 일 실시예에 있어서, 상기 금속 배선을 형성하는 단계는, 상기 가변저항체 물질막 패턴이 형성된 결과물 상에 상부 절연막을 형성하는 단계와, 상기 상부 절연막을 패터닝하여 상기 한 쌍의 도전막 패턴들 중 상기 불순물 확산영역에 전기적으로 연결되지 않은 다른 하나의 도전막 패턴을 노출시키는 상부 콘택홀을 형성하는 단계와, 상기 상부 콘택홀을 채우는 상부 콘택 플러그를 형성하는 단계와, 상기 상부 절연막 및 상부 콘택 플러그 상에 금속 물질막을 형성하는 단계와, 상기 금속 물질막을 패터닝하는 단계를 포함한다.

<45> 바람직한 실시예에 있어서, 상기 반도체 기판을 제공하는 단계는, 상기 불순물 확산영역을 포함하여 또 다른 불순물 확산영역 및 상기 불순물 확산영역들 사이에 위치하도록 게이트 라인을 형성하는 단계와, 상기 또 다른 불순물 확산영역에 전기적으로 접속하는 공통 드레인 전극을 상기 하부 절연막 내에 형성하는 단계를 포함한다.

<46> 상기 본 발명의 목적들을 달성하기 위한 상전이 기억 소자 제조 방법은, 소오스 영역, 드레인 영역 그리고 게이트 전극을 반도체 기판 상에 형성하는 단계와, 절연막에 의해 상기 반도체 기판과 절연되되, 상기 절연막의 소정 부분을 통해서 상기 드레인 영역에 전기적으로 연결되는 공통 드레인 전극을 형성하는 단계와, 상기 공통 드레인 전극이 형성된 결과물 상에 하부 절연막을 형성하는 단계와, 상기 소오스 영역에 전기적으로 연결되는 하부 콘택 플러그를 상기 하부 절연막 내에 형성하는 단계와, 상기 하부 절연막 및 하부 콘택 플러그 상에 상전이 물질막 및 보호 절연막을 순차적으로 형성하는 단계와, 상기 하부 콘택 플러그에 접하지 않도록 상기 보호 절연막 및 상전이 물질막을 차

레로 패터닝하여 보호 절연막 패턴 및 상전이 물질막 패턴을 형성하는 단계와, 상기 하부 절연막, 하부 콘택 플러그 및 패턴들 상에 상기 상전이 물질막 패턴에 전류를 제공하기 위한 도전막을 형성하는 단계와, 상기 상전이 물질막 패턴의 상부 일부가 노출되도록 상기 도전막을 패터닝하여 상기 상전이 물질막 패턴에 의해서 서로 떨어져있으며 상기 상전이 물질막 패턴의 양측벽들에 직접 접촉하는 한 쌍의 도전막 패턴을 형성하되, 어느 하나의 도전막 패턴이 상기 하부 콘택 플러그에 전기적으로 접속하도록 형성하는 단계와, 상기 하부 절연막, 도전막 패턴들 및 노출된 상전이 물질막 패턴 상에 상부 절연막을 형성하는 단계와, 상기 하부 콘택 플러그에 전기적으로 연결되지 않은 다른 하나의 도전막 패턴에 전기적으로 연결되는 상부 콘택 플러그를 형성하는 단계와, 상기 상부 콘택 플러그에 전기적으로 연결되는 금속 배선을 상기 상부 절연막 상에 형성하는 단계를 포함한다.

<47> 상기 본 발명의 목적들을 달성하기 위한 상전이 기억 소자 제조 방법은, 소오스 영역, 드레인 영역 그리고 게이트 전극을 반도체 기판에 형성하는 단계와, 상기 드레인 영역을 제외한 상기 반도체 기판의 다른 부분과는 전기적으로 절연되며 상기 드레인 영역에 전기적으로 연결되는 공통 드레인 전극을 형성하는 단계와, 상기 공통 드레인 전극이 형성된 결과물 상에 하부 절연막을 형성하는 단계와, 상기 소오스 영역에 전기적으로 연결되는 하부 콘택 플러그를 상기 하부 절연막 내에 형성하는 단계와, 상기 하부 절연막 및 하부 콘택 플러그 상에 도전막을 형성하는 단계와, 상기 도전막을 패터닝하여 서로 떨어져서 위치하며 서로 대칭적인 한 쌍의 도전막 패턴들을 형성하되, 어느 한 도전막 패턴은 상기 하부 콘택 플러그에 접촉하도록 형성하는 단계와, 마주보는 상기 한 쌍의 도전막 패턴들의 측벽들에 직접 접촉하도록 상기 한 쌍의 도전막 패턴들 사이에 칼케

고나이드 물질막 패턴을 형성하는 단계와, 상기 물질막 패턴이 형성된 결과물 상에 상부 절연막을 형성하는 단계와, 상기 하부 콘택 플러그에 전기적으로 연결되지 않은 다른 하나의 도전막 패턴에 전기적으로 연결되는 상부 콘택 플러그를 형성하는 단계와, 상기 상부 콘택 플러그에 전기적으로 연결되는 금속 배선을 상기 상부 절연막 상에 형성하는 단계를 포함한다.

<48> 상기 한 쌍의 도전막 패턴은, 상기 도전막을 패터닝 하여 상기 하부 콘택 플러그에 전기적으로 연결되는 임시 도전막 패턴을 형성하고, 상기 임시 도전막 패턴이 형성될 결과물 상에 절연막을 형성하고, 상기 임시 도전막 패턴이 상기 한 쌍의 도전막 패턴들로 분리되도록 상기 임시 도전막 패턴 사이의 하부 절연막 일부가 노출되도록 상기 절연막 및 상기 임시 도전막 패턴을 패터닝하여 형성하는 것이 바람직하다. 이때, 상기 상전이 물질막 패턴을 형성하는 단계는, 상기 절연막 및 임시 도전막 패턴을 패터닝 한 후, 칼코게나이드 물질막을 상기 절연막 상부, 상기 한 쌍의 도전막 패턴 사이에 노출된 하부 절연막 상에 형성하는 단계와, 상기 상전이 물질막을 패터닝하는 단계를 포함한다.

<49> 이하에서는 첨부된 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명한다. 본 발명은 상전이 기억 소자 구조 및 그 제조 방법에 관한 것이기 때문에, 반도체 제조 공정에서 통상적인 방법으로 형성되는 불순물 확산영역들, 게이트 전극 등에 대하여는 간단히 설명하며, 또한 널리 알려진 기술들, 예컨대, 사진 식각 공정, 절연막 증착 공정 등에 대하여 상세한 설명은 생략한다. 또 본 발명에 대한 명확한 이해를 위해서 도면들에서 단지 하나의 상전이 기억 셀, 하나의 게이트 전극, 하나의 비트라인, 하나의 공통 드레인 라인만을 도시하였다. 도면들에서 동일한 기능을 갖는 구성 요소에 대해서는 동일한 참조 번호를 병기하였다.

<50> 본 발명의 상전이 기억 소자는 두 개의 활성 접촉면들을 구비하며 또한 이들이 서로 대칭적으로 동일 평면상에 존재한다. 즉, 활성 접촉면들은 상전이 물질막의 양 측벽들에 존재하고, 이들 양 측벽에 일정한 전류를 공급하는 전류 통로로서 작용하는 도전막 패턴들(통상적인 디램의 커패시터의 하부전극 및 상부전극에 대응)이 상전이 물질막과 동일한 평면 상에서 활성 접촉면에 접촉한다. 동일한 평면상에서 두 개의 대칭적인 도전막 패턴들 사이에 상전이 물질막이 개재한다. 따라서 전류가 상전이 물질막에서 수평 방향으로 흐른다.

<51> (상전이 기억 소자 구조)

<52> 도3a는 본 발명의 일 실시예에 따른 상전이 기억 소자를 개략적으로 도시한 단면도이다. 도3b는 도3a의 상전이 기억 소자를 I-I' 선을 따라 위에서 바라본 평면도이다. 도3c는 도3b의 상전이 기억 소자를 구체적으로 보여주는 사시도이다.

<53> 도3a, 도3b 및 도3c를 참조하여, 상전이 기억 소자는 동일 평면(xy 평면, 즉, 하부 절연막(250) 상에 소정 거리(L)를 두고 배치된 대칭적인 한 쌍의 도전막 패턴들(260a, 260b) 및 이들 패턴(260a, 260b)들 사이에 개재되며 이들의 측벽들에 직접 접촉하는 상전이 물질막 패턴(300a)을 포함한다. 어느 한 도전막 패턴, 예컨대, 도전막 패턴 260a는 반도체 기판(100)의 불순물 확산영역(140)에 전기적으로 연결된다. 다른 하나의 도전막 패턴, 예컨대, 도전막 패턴 260b는 상기 상전이 물질막 패턴(300a)에 나타나는 비저항을 감지하기 위한 금속 배선(360, 또는 비트라인)에 전기적으로 연결된다. 바람직하게, 상기 도전막 패턴 260a는 상기 하부 절연막(250)을 관통하는 콘택 플러그(240)에 의해 상기 불순물 확산영역(140)에 전기적으로 연결된다. 한편, 상기 다른 하나의 도전막 패턴 260b는 상기 금속 배선(360)과의 사이에 개재하는 상부 절연막(330)을 관통하는 콘택 플

러그(340)에 의해서 상기 금속 배선(360)에 전기적으로 연결된다. 물론, 상기 상부 절연막(330)은 상기 금속 배선(360)과 상기 도전막 패턴 260a 및 상전이 물질막 패턴(300a) 사이에도 개재한다. 상기 반도체 기판(100)에는 또 다른 불순물 확산영역(160)이 상기 불순물 확산영역(140)으로 부터 떨어져 있고, 이들 두 확산영역들(140, 160) 사이의 반도체 기판 상에 게이트 전극(120)이 존재한다. 두 확산영역들(140, 160) 및 게이트 전극(120)은 접근 트랜지스터(access transistor: Ta)로 작용하며, 상기 게이트 전극(120)은 워드 라인으로 작용한다. 또, 공통 드레인 전극(200)이 상기 하부 절연막(250) 내에 형성된 콘택 플러그(180)를 통해 상기 또 다른 불순물 확산영역(160)에 전기적으로 접속하도록 상기 하부 절연막(250) 내에 존재한다. 여기서 상기 하부 절연막(250)에 의해 상기 도전막 패턴들(260a, 260b)이 상기 게이트 라인(120) 및 공통 드레인 전극(200)으로 부터 전기적으로 절연된다.

<54> 도전막 패턴(260a)은 콘택 플러그(240)와 접촉하는 콘택부(260ac)와 와 상기 상전이 물질막 패턴(300a)과 접촉하는 접촉부(260ai)를 포함한다. 마찬가지로 도전막 패턴(260b)은 콘택 플러그(340)와 접촉하는 콘택부(260bc)와 와 상기 상전이 물질막 패턴(300a)과 접촉하는 접촉부(260bi)를 포함한다. 상기 접촉부들(260ai, 260bi)은 상기 콘택부들(260ac, 260bc)의 측벽 중심부에서 상기 상전이 물질막 패턴(300a)을 향해서 연장되어 있다. 상기 접촉부들(260ai, 260bi)의 넓이(x축 방향 치수)는 사진 공정이 허락하는 한계로 가능한 작게 형성되는 것이 바람직하다. 한편 상기 콘택부들(260ac, 260bc)은 콘택 플러그(240, 340)에 연결되어야 하기 때문에 상기 접촉부들(260ai, 260bi) 보다 상대적으로 더 크게 형성된다.

<55> 한 쌍의 도전 패턴들 사이의 거리(L), 즉 상전이 물질막 패턴(300a)의 y축 방향 치수는 사진 공정의 한계에 좌우된다. 이러한 도전 패턴들 사이의 거리(L)는 짧게 하는 것이 바람직하다. 도전막 패턴들(260a, 260b)과 상전이 물질막 패턴(300a)이 접촉하여 상전이 물질막 패턴(300a)의 양 측벽들에 활성 접촉면들(270a, 270b)이 형성된다. 활성 접촉면들(270a, 270b)은 결정 구조 변화에 필요한 전류를 감소시키기 위해서는 가능한 작은 면적을 가지는 것이 바람직하다.

<56> 이와 같은 본 발명에 따르면, 활성 접촉면들(270a, 270b)의 면적은 도전막 패턴들(260a, 260b)의 두께(t, 즉 z축 방향 치수) 및 도전막 패턴들(260a, 260b, 즉 접촉부들 260ai, 260bi)의 넓이(w)에 의해 좌우된다. 도전막 패턴들(260a, 260b)의 넓이(w)는 사진 공정의 한계(w)에 의해 좌우되기 때문에, 도전막 패턴들의 두께(t)를 가능한 얇게 함으로써 활성 접촉면들(270a, 270b)의 면적을 작게 할 수 있다. 도전막 패턴들의 두께(t)는 사진 공정의 한계에 의해 좌우되지 않기 때문에, 사진 공정의 한계 보다 더 낮은 치수로 형성할 수 있다.

<57> 또, 본 발명의 상전이 기억 소자는, 복수 개, 즉 두 개의 활성 접촉면들(270a, 270b)을 구비하기 때문에, 동일한 전류(즉, 주울 열)를 사용하더라도 두 배의 비저항 변화를 얻을 수 있다.

<58> 이상에서 설명한 본 발명의 상전이 기억 소자의 프로그램 및 읽기 동작에 대하여 간략히 설명한다.

<59> 먼저 프로그램 동작에 대하여 설명한다. 도4는 도3a의 상전이 기억 소자에 대한 등가 회로도이다. 도3a 및 4를 참조하여, 상기 비트라인(360, BL)은 접지시키고, 워드 라인(WL, 게이트 전극 120)에 턴-온 전압을 인가하고, 상기 공통 드레인 전극(200, CDL)에

일정한 전류를 인가한다. 이에 따라, 전류 통로가 상기 공통 드레인 전극(CDL) 및 상기 비트라인(BL) 사이에 형성되고, 전류가 가지는 주울 열 또는 주울 에너지(Jule Energy)에 의해 상기 상전이 물질막 패턴(R_C)의 활성 접촉면들(270a, 270b)의 결정 구조가 변하게 된다. 이때, 공통 드레인 전극(CDL)에 가해지는 전류 크기를 조절함으로써 결국은 상기 활성 접촉면에 가해지는 열(또는 에너지)이 결정되고 이에 따라 상전이 물질이 결정 상태 또는 비결정 상태를 가지게 된다. 예컨대, 섭씨 650도 정도의 열이 활성 접촉면들에 가해지게 되면 활성 접촉면들의 상전이 물질은 비정질 상태로 변하고, 섭씨 400도 정도의 열이 활성 접촉면들에 가해지게 되면 활성 접촉면들의 상전이 물질은 결정질 상태가 된다.

<60> 다른 방법으로 상기 공통 드레인 전극(CDL)을 접지시키고 상기 비트라인(BL)에 일정한 전류를 가하여 프로그램 동작을 수행할 수 도 있다.

<61> 다음은 읽기 동작에 대하여 설명을 한다. 상기 공통 드레인 전극(CDL)은 접지시키고, 상기 비트라인(BL)에 읽기 전압을 인가함으로써 읽기 동작이 수행된다. 상전이 물질막 패턴(R_C)이 나타내는 비저항(즉, 상전이 물질막 패턴을 따라 흐르는 전류)이 상기 비트라인(BL)을 통해 감지되어 논리 상태가 판별된다.

<62> (상전이 기억 소자 제조 방법)

<63> 이하에서는 도3a 내지 도3c에 보여진 상전이 기억 소자의 제조 방법에 대하여 설명을 한다.

<64> (제1실시예)

<65> 도5a 내지 도5g를 참조하여 상전이 기억 소자 제조 방법의 제1실시예를 설명한다.

<66> 먼저 도5a를 참조하면, 통상적인 방법으로 소자분리 공정이 진행된 후, 반도체 기판(100)에 소오스 영역(140), 드레인 영역(160) 및 게이트 전극(120)으로 구성된 접근 트랜지스터가 형성된다. 상기 트랜지스터가 형성된 반도체 기판(100) 전면에 하부 제1산화막(190)이 형성된다. 계속해서, 상기 접근 트랜지스터의 드레인 영역(180)에 전기적으로 접속하는 공통 드레인 전극(200)이 상기 하부 제1산화막(190) 상에 형성된다. 상기 공통 드레인 전극(200) 및 상기 하부 제1산화막(190) 상에 하부 제2산화막(230)이 형성된다. 상기 하부 제1산화막(190) 및 하부 제2산화막(230)이 하부 절연막(250)을 구성한다. 상기 하부 제2산화막(230) 상에 상기 접근 트랜지스터의 소오스 영역(140)에 전기적으로 접속하는 임시 도전막 패턴(260')이 형성된다.

<67> 구체적으로, 상기 공통 드레인 전극(200)은 상기 하부 제1산화막(190)을 관통하여 상기 드레인 영역(160)에 접촉하는 콘택 플러그(180)에 의해 상기 드레인 영역(160)에 전기적으로 접속한다. 콘택 플러그 공정은 잘 알려진 바와 같이, 사진 공정을 통해서 콘택홀을 형성하고 형성된 콘택홀에 도전물질을 증착하는 공정을 포함한다. 이와 마찬가지로, 상기 임시 도전막 패턴(260')은 상기 하부 절연막(250)을 관통하는 콘택 플러그(240)를 통해서 상기 소오스 영역(140)에 전기적으로 연결된다.

<68> 바람직하게, 상기 콘택 플러그(240)는 상기 하부 제1산화막(190)을 관통하여 상기 소오스 영역(140)에 접촉하는 제1콘택 플러그(180'), 상기 하부 제1산화막(190) 상에 상기 제1콘택 플러그(180')에 전기적으로 접촉하도록 형성된 도전 패드(200') 그리고 상기 하부 제2산화막(230)을 관통하여 상기 도저 패드(200')에 접촉하는 제2콘택 플러그(220)로 구성된다. 이 경우, 상기 공통 드레인(200)이 형성될 때, 상기 제1콘택 플러그(180') 및 도전 패드(200')가 동시에 형성된다. 상기 하부 제2산화막을 증착한 상기 콘

택 패드(200')를 노출시키는 콘택홀이 형성되고 여기에 도전물질이 증착되어 제2콘택 플러그(220)가 형성된다. 이어서 도전막이 상기 제2콘택 플러그(220) 및 하부 제2산화막(230) 상에 형성되고 패터닝되어 상기 제2콘택 플러그(220)에 전기적으로 연결되는 상기 임시 도전막 패턴(260')이 형성된다.

<69> 상기 제2콘택 플러그(220)는 상기 도전 패드(200')를 노출시키는 콘택홀에 티타늄(Ti), 질화 티타늄(TiN) 그리고 텅스텐(W)을 차례로 증착하여 형성한다. 예컨대, 티타늄막은 약 50옹스트롬으로 형성하고, 질화 티타늄막은 약 250옹스트롬으로 형성하고, 텅스텐은 약 2500옹스트롬으로 형성한다.

<70> 상기 임시 도전막 패턴(260')은 질화 티타늄으로 형성하고 약 200옹스트롬 정도의 두께로 형성한다. 상기 임시 도전막 패턴(260')의 두께는 활성 접촉면의 면적을 결정하는 중요한 요소로서 가능한 얇게 형성하는 것이 바람직하다. 또, 사진 공정의 한계 이하로 형성할 수 있기 때문에 그렇게 하는 것이 바람직하다.

<71> 다음 도5b를 참조하여, 상기 임시 도전막 패턴(260') 및 상기 하부 절연막(250) 상에 상부 제1산화막(280)이 형성된다. 예컨대, 상기 상부 제1산화막(280)은 약 5000옹스트롬의 두께로 형성된다.

<72> 다음 도5c를 참조하여, 사진 식각 공정을 통해서 상기 상부 제1산화막(280) 및 상기 임시 도전막 패턴(260')을 식각한다. 여기서 상기 임시 도전막 패턴(260')의 중심부 아래에 있는 상기 하부 제1산화막(230) 일부를 노출시키는 개구부(290)가 형성되고 이에 따라 상기 임시 도전막 패턴(260')이 상기 개구부(290)에 의해서 서로 떨어진 대칭적인 두 개의 도전막 패턴들(260a, 260b)로 나누어 진다. 한 도전막 패턴 260a의 하부 표면은

상기 제2콘택 플러그(220)에 접촉한다. 상기 개구부(290)는 상기 각 도전막 패턴들 260a, 260b의 일 측벽, 즉 마주보는 측벽들(265a, 265b)을 노출시킨다.

<73> 다음 도5d를 참조하여, 상기 패턴닝된 상부 제1산화막(280'), 노출된 하부 제1산화막(230) 및 노출된 각 도전막 패턴들의 측벽들(265a, 265b)을 덮는 가변저항체 물질막(300)이 형성된다. 상기 가변저항체 물질막(300)은 결정 상태에 따라서 비정향이 변하는 물질로서, 상전이 물질막, 예컨대, GST막으로 형성된다. 상기 상전이 물질막(300)은 예컨대, 약 200옹스트롬의 두께로 형성된다. 이때, 상기 가변저항체 물질막(300)과 상기 도전막 패턴들(260a 및 260b)의 측벽들(265a 및 265b)이 접하여 활성 접촉면들(270a 및 270b)이 한정된다.

<74> 다음 도5e를 참조하여, 사진 식각 공정을 통해 상기 상전이 물질막(300)을 식각하여 셀 단위로 분리된 상전이 물질막 패턴(300a) 즉, 상전이 기억 셀이 형성된다. 상기 상전이 물질막 패턴(300a)은 상기 두 도전막 패턴들(260a, 260b) 사이의 상기 개구부(290)에 형성되어 그 양 측벽이 상기 두 도전막 패턴들의 측벽들(265a, 265b)에 직접 접촉한다. 상기 두 도전막 패턴들의 측벽들(265a, 265b)에 직접 접촉하는 상기 상전이 물질막 패턴(300a)의 측벽이 활성 접촉면들(270a, 270b)이 된다.

<75> 다음 도5f를 참조하여 상기 상전이 물질막 패턴(300a)이 형성된 반도체 기판 전면에 상부 제2산화막(320)이 형성된다. 상기 상부 제2산화막(320) 및 상부 제1산화막(280)이 상부 절연막(330)을 구성한다.

<76> 다음 도5g를 참조하여, 상기 상부 절연막(330)을 패턴닝하여 상기 제2콘택 플러그(220)에 접촉하지 않은 다른 도전막 패턴(260b)을 노출시키는 콘택홀을 형성하고 도전물질층을 증착하여 콘택 플러그(340)를 형성한다. 상기 콘택 플러그(340)는 상기 제2콘택 플

러그(220)와 동일한 방법으로 형성한다. 이어서 상기 콘택 플러그(340) 및 상기 상부 절연막(330) 상에 금속 물질을 증착하여 패터닝하여 상기 콘택 플러그(340)에 전기적으로 접속하는 금속 배선, 즉 비트라인(360)을 형성한다. 상기 비트라인(360)은 예컨대, 알루미늄으로 형성한다.

<77> (제2실시예)

<78> 다음은 도6a 내지 도6e를 참조하여 도3a의 상전이 기억 소자 제조 방법의 다른 실시예를 설명한다.

<79> 도5a 내지 도5g를 참조하여 설명한 제1실시예의 경우, 상전이 물질막 패턴(300a)이 도전막 패턴들(260a, 260b)이 형성된 이후에 형성되었다. 하지만, 본 실시예의 경우, 상기 상전이 물질막 패턴(300a)이 도전막 패턴들(260a, 260b) 보다 먼저 형성된다.

<80> 먼저 도6a를 참조하여, 제1실시예에서와 동일한 방법으로 접근 트랜지스터, 공통 드레인 전극(200), 콘택 플러그(240)가 형성된 후, 상전이 물질막(300)이 하부 절연막(250) 및 제2콘택 플러그(220) 상에 형성된다. 상기 상전이 물질막(300) 상에 상부 제1산화막(280)이 형성된다.

<81> 다음 도6b를 참조하여, 상기 상부 제1산화막(280) 및 상기 상전이 물질막(300)이 차례로 패터닝되어 상전이 기억 셀, 즉 상전이 물질막 패턴(300a)이 형성된다. 상기 상전이 물질막 패턴(300a)은 상기 제2콘택 플러그(220)와 떨어져 있다.

<82> 다음 도6c를 참조하여, 상기 상전이 물질막 패턴(300a)이 형성된 반도체 기판 전면, 즉, 상기 제2콘택 플러그(220), 상기 하부 산화막(250), 패터닝된 상부 제1산화막(280'), 그리고 상기 상전이 물질막 패턴(300a) 양측벽들 상에 도전막(260)이 형성된다.

이때, 상기 도전막 패턴 및 상기 상전이 물질막 패턴(300a)이 접촉하여 활성 접촉면들(270a, 270b)을 한정한다.

<83> 다음 도6d를 참조하여, 상기 도전막(260)이 패터닝되어 서로 대칭적이 한 쌍의 도전막 패턴들(260a, 260b)이 형성된다. 이때, 하나의 도전막 패턴(260a)은 상기 제2콘택 플러그(220)에 전기적으로 연결, 즉 상기 도전막 패턴(260a)의 하부 표면은 상기 제2콘택 플러그(220)에 접촉한다.

<84> 다음 도6e를 참조하여, 제1실시예와 동일하게, 상부 제2산화막(320)이 형성되고, 콘택 플러그(340)를 통해서 다른 하나의 도전막 패턴(260b)에 전기적으로 연결되는 비트라인(360)이 형성된다.

<85> (제3실시예)

<86> 다음은 도7a 내지 도7e를 참조하여 도3a의 상전이 기억 소자 제조 방법의 또 다른 실시예를 설명한다.

<87> 제1실시예의 경우, 임시 도전막 패턴(260')이 형성된 이후에 도전막 패턴(260a, 260b)이 형성되었으나, 본 실시예의 경우, 임시 도전막 패턴이 형성되지 않는다.

<88> 먼저 도7a를 참조하여, 제1실시예에서와 동일한 방법으로 접근 트랜지스터, 공통 드레인 전극(200), 제2콘택 플러그(220)이 형성된 후, 도전막(260)이 하부 제2산화막(250) 및 제2콘택 플러그(220) 상에 형성된다. 상기 도전막(260) 상에 상부 제1산화막(280)이 형성된다.

<89> 다음 도7b를 참조하여, 상기 상부 제1산화막(280) 및 도전막(260)을 패터닝하여 서로 대칭적이며 떨어진 한 쌍의 도전막 패턴들(260a, 260b)을 형성한다. 이때, 어느 한 도

전막 패턴(260a)은 상기 제2콘택 플러그(220)에 전기적으로 연결된다. 상기 도전막 패턴들(260a, 260b)은 개구부(290)에 의해 서로 떨어져 있으며, 그 측벽들(265a, 265b)이 노출된다.

<90> 다음 도7c를 참조하여, 상기 도전막 패턴들(260a, 260b)이 형성된 반도체 기판 전면 에 상전이 물질막(300)이 형성된다. 이때, 상기 상전이 물질막(300)과 상기 도전막 패턴들(260a 및 260b)의 측벽들(265a 및 265b)이 접하여 활성 접촉면들(270a 및 270b)이 한정된다.

<91> 다음 도7d를 참조하여, 상기 상전이 물질막(300)이 패터닝되어 상기 한 쌍의 도전막 패턴들(260a, 260b) 사이에 개재하며 그 측벽들(265a, 265b)에 직접 접촉하는 상전이 물질막 패턴(300a)이 형성된다.

<92> 다음 도7e를 참조하여, 제1실시예와 동일한 방법으로, 상부 제2산화막(320)이 형성되고, 콘택 플러그(340)를 통해서 다른 하나의 도전막 패턴(260b)에 전기적으로 연결되는 비트라인(360)이 형성된다.

<93> 이제까지 본 발명에 대하여 그 바람직한 실시예(들)를 중심으로 살펴보았다. 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자는 본 발명이 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 변형된 형태로 구현될 수 있음을 이해할 수 있을 것이다. 그러므로 본 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 본 발명의 범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 본 발명에 포함된 것으로 해석되어야 할 것이다.

【발명의 효과】

- <94> 이상에서 설명한 바와 같이, 본 발명에 따르면, 활성 접촉면의 면적을 줄일 수 있으며, 이에 따라 상전이 기억 소자의 프로그램 동작에 필요한 전류를 줄일 수 있다.
- <95> 또한 본 발명에 따르면, 활성 접촉면이 두 개 존재하기 때문에, 통상적인 상전이 기억 소자와 비교할 때, 동일한 전류에 대하여 두 배의 비저항 변화를 얻을 수 있다. 이에 따라 읽기 동작에서 감지 마진이 증가하고 오동작을 방지할 수 있다.
- <96> 또한 본 발명에 따르면, 상하부 전극들(도전막 패턴들)이 동일 평면 상에 존재하기 때문에, 기억 셀 영역의 높이가 줄어 들고 이에 따라 주변 회로 영역과의 단차를 줄일 수 있다.

【특허청구범위】**【청구항 1】**

동일 평면 상에 서로 떨어져서 대칭적으로 배치된 한 쌍의 도전막 패턴들;

서로 마주보는 상기 도전막 패턴들의 측벽들과 직접 접하는 한 쌍의 활성 접촉면들을 구비하며 상기 활성 접촉면을 통해 상기 도전막 패턴들에 직접 접촉하도록 상기 하부전극 패턴들 사이에 배치된 가변저항체 패턴;

상기 도전막 패턴들 및 가변저항체 패턴의 상부에 배치되고 상기 한 쌍의 도전막 패턴들 중 어느 하나의 패턴에 전기적으로 연결된 상부 금속 배선; 및,

상기 도전막 패턴들 및 가변저항체 패턴의 하부에 배치되고 상기 한 쌍의 도전막 패턴들 중 다른 하나의 패턴에 전기적으로 연결된 불순물 확산영역을 구비한 반도체 기판을 포함하는 상전이 기억 소자 구조.

【청구항 2】

제1항에 있어서,

상기 가변저항체 패턴은 상전이 물질을 포함하는 상전이 기억 소자 구조.

【청구항 3】

제1항에 있어서,

상기 상부 금속 배선은 상기 도전막 패턴들 및 가변저항체 패턴 상에 배치된 상부 절연막을 관통하는 상부 콘택 플러그를 통해서 상기 어느 하나의 도전막 패턴에 전기적으로 연결되고,

상기 불순물 확산영역은 상기 도전막 패턴들 및 가변저항체 패턴 아래에 배치된 하부 절연막을 관통하는 하부 콘택 플러그를 통해서 상기 다른 하나의 도전막 패턴에 전기적으로 연결되는 상전이 기억 소자 구조.

【청구항 4】

제3항에 있어서,

상기 불순물 확산영역으로 부터 떨어져서 상기 반도체 기판 내에 형성된 또 다른 불순물 확산영역;

상기 불순물 확산영역 및 또 다른 불순물 확산영역 사이의 반도체 기판 상에 그리고 상기 하부 절연막 내에 배치된 게이트 라인; 및

상기 하부 절연막 내에 배치되며 상기 하부 절연막의 소정 부분을 통해서 상기 또 다른 불순물 확산영역에 전기적으로 연결된 공통 드레인 전극을 더 포함하는 상전이 기억 소자 구조.

【청구항 5】

제1항에 있어서,

상기 가변저항체 패턴의 상기 활성 접촉면들을 가로 질러 흐르는 전류 밀도 세기에 따라 상기 활성 접촉면들을 구성하는 가변저항체 물질의 결정 구조가 변하는 상전이 기억 소자 구조.

【청구항 6】

제4항에 있어서,

상기 상부 금속 배선 및 상기 공통 드레인 전극 사이에서 전류가 흐를 때, 상기 가변저항체 패턴의 상기 활성 접촉면들을 가로 질러 흐르는 전류 밀도 세기에 따라 상기 활성 접촉면들을 구성하는 가변저항체 물질의 결정 구조가 변하는 상전이 기억 소자 구조.

【청구항 7】

제1항에 있어서,

상기 한 쌍의 도전막 패턴은 질화 티타늄막을 포함하는 상전이 기억 소자 구조.

【청구항 8】

제1항에 있어서,

상기 하부 콘택 플러그 및 상부 콘택 플러그는 각각 차례로 적층된 티타늄, 질화 티타늄막 그리고, 텅스텐을 포함하는 상전이 기억 소자 구조.

【청구항 9】

양 측면에 활성 접촉면들을 구비하는 상전이 물질막 패턴;

상기 상전이 물질막 패턴과 동일 평면상에 배치되고 상기 상전이 물질막 패턴의 상기 활성 접촉면들에 직접 접촉하는 대칭적인 한 쌍의 도전막 패턴;

상기 상전이 물질막 패턴 및 도전막 패턴들 상에 배치된 상부 절연막;

상기 상부 절연막 상에 배치되고 상기 상부 절연막을 관통하는 상부 콘택 플러그를 통해서 어느 하나의 도전막 패턴에 전기적으로 연결된 비트라인;

상기 상전이 물질막 패턴 및 도전막 패턴들 아래에 배치된 하부 절연막; 및

상기 하부 절연막을 관통하는 하부 콘택 플러그를 통해서 다른 하나의 도전막 패턴에 전기적으로 연결된 소오스 영역을 구비한 반도체 기판을 포함하는 상전이 기억 소자 구조.

【청구항 10】

제9항에 있어서,

상기 소오스 영역으로부터 떨어져 상기 반도체 기판 내에 형성된 드레인 영역;

상기 소오스 영역 및 드레인 영역 사이의 반도체 기판 상에 배치된 게이트 라인;

및

상기 하부 절연막 내에 배치되고 상기 하부 절연막의 소정 부분을 통해서 상기 드레인 영역에 전기적으로 연결된 공통 드레인 전극을 더 포함하는 상전이 기억 소자 구조.

【청구항 11】

제9항 또는 제10항에 있어서,

상기 도전막 패턴은 질화 티타늄막을 포함하는 상전이 기억 소자 구조.

【청구항 12】

제10항에 있어서,

상기 비트라인 및 상기 공통 드레인 전극 사이에서 전류가 흐를 때, 상기 상전이 물질막 패턴의 활성 접촉면들을 가로 질러 흐르는 전류 밀도 세기에 따라 상기 활성 접촉면들을 구성하는 상전이 물질의 결정 구조가 변하고 이에 따라 상기 활성 접촉면들에서의 비저항이 변하는 상전이 기억 소자 구조.

【청구항 13】

양 측벽에 활성 접촉면들을 구비한 상전이 물질막 패턴;

상기 상전이 물질막 패턴과 동일 평면 상에 배치되고 한 활성 접촉면에 접촉하는 제1 전극 패턴;

상기 상전이 물질막 패턴과 동일 평면 상에 배치되고 다른 활성 접촉면에 접촉하며 상기 제1 전극 패턴에 대해서 거울 대칭을 이루는 제2 전극 패턴;

상기 제2 전극 패턴에 전기적으로 연결된 저항 감지 배선; 그리고

상기 제2 전극 패턴에 전기적으로 연결된 불순물 확산영역을 구비한 반도체 기판을 포함하는 상전이 기억 소자 구조.

【청구항 14】

제13항에 있어서,

상기 상전이 물질막 패턴 및 전극 패턴들과 상기 저항 감지 배선 사이에 상부 절연막이 개재하고, 상기 저항 감지 배선은 상기 상부 절연막을 관통하는 상부 콘택 플러그를 통해 상기 제2 전극 패턴과 전기적으로 연결되고,

상기 상전이 물질막 패턴 및 전극 패턴들과 상기 반도체 기판 사이에 하부 절연막이 개재하고, 상기 불순물 확산영역은 상기 하부 절연막을 관통하는 하부 콘택 플러그를 통해 상기 제1 전극 패턴에 전기적으로 연결되는 상전이 기억 소자 구조.

【청구항 15】

제14항에 있어서,

상기 각 전극 패턴은 콘택 플러그와 접촉하는 콘택부와 상기 콘택부의 측벽 중심에서 상기 상전이 물질막 패턴을 향해서 돌출하여 상기 활성 접촉면에 접촉하는 접촉부를 포함하는 상전이 기억 소자 구조.

【청구항 16】

제15항에 있어서,

상기 활성 접촉면은 상기 접촉부의 두께 및 넓이에 의해 정해지는 상전이 기억 소자 구조.

【청구항 17】

제16항에 있어서,

상기 접촉부의 넓이는 상기 접촉부의 두께보다 치수가 작은 상전이 기억 소자 구조.

【청구항 18】

불순물 확산영역을 구비한 반도체 기판을 제공하는 단계와;

상기 불순물 확산영역에 전기적으로 연결되는 도전막을 형성하는 단계와;

어느 한 도전막 패턴은 상기 불순물 확산영역에 전기적으로 연결되도록 상기 도전막을 패터닝하여 대칭적인 한 쌍의 도전막 패턴들을 형성하는 단계와;

서로 마주보는 상기 도전막 패턴들의 측벽들에 직접 접촉하는 활성 접촉면을 구비한 가변저항체 패턴을 상기 한 쌍의 도전막 패턴들 사이에 형성하는 단계와;

상기 다른 하나의 도전막 패턴에 전기적으로 연결되는 금속 배선을 형성하는 단계를 포함하는 기억 소자 제조 방법.

【청구항 19】

제18항에 있어서,

상기 한 쌍의 도전막 패턴을 형성하는 단계는,

상기 불순물 확산영역에 전기적으로 연결되도록 상기 도전막을 패터닝 하여 임시 도전막 패턴을 형성하는 단계와;

상기 임시 도전막 패턴이 형성된 결과물 상에 절연막을 형성하는 단계와;

상기 임시 도전막 패턴이 상기 한 쌍의 도전막 패턴들로 분리되도록 상기 절연막 및 상기 임시 도전막 패턴을 패터닝하는 단계를 포함하는 기억 소자 제조 방법.

【청구항 20】

제19항에 있어서,

상기 가변저항체 물질막 패턴을 형성하는 단계는,

상기 절연막 및 임시 도전막 패턴을 패터닝 한 후, 가변저항체 물질막을 상기 절연막 상부 및 상기 한 쌍의 도전막 패턴 사이의 공간에 형성하는 단계와;

상기 가변저항체 물질막을 패터닝하는 단계를 포함하는 기억 소자 제조 방법.

【청구항 21】

제18항에 있어서,

상기 도전막을 형성하는 단계는,

상기 반도체 기판 상에 하부 절연막을 형성하는 단계와;

상기 하부 절연막을 패터닝하여 상기 불순물 확산영역을 노출시키는 하부 콘택홀을 형성하는 단계와;

상기 하부 콘택홀을 채우는 하부 콘택 플러그를 형성하는 단계와;

상기 콘택 플러그 및 하부 절연막 상에 상기 도전막을 형성하는 단계를 포함하는
기억 소자 제조 방법.

【청구항 22】

제18항에 있어서,

상기 금속 배선을 형성하는 단계는,

상기 가변저항체 물질막 패턴이 형성된 결과물 상에 상부 절연막을 형성하는 단계
와;

상기 상부 절연막을 패터닝하여 상기 한 쌍의 도전막 패턴들 중 상기 불순물 확산
영역에 전기적으로 연결되지 않은 다른 하나의 도전막 패턴을 노출시키는 상부 콘택홀을
형성하는 단계와;

상기 상부 콘택홀을 채우는 상부 콘택 플러그를 형성하는 단계와;

상기 상부 절연막 및 상부 콘택 플러그 상에 금속 물질막을 형성하는 단계와;

상기 금속 물질막을 패터닝하는 단계를 포함하는 기억 소자 제조 방법.

【청구항 23】

제18항에 있어서,

상기 가변저항체 물질막 패턴은 상전이 물질로 형성되는 기억 소자 제조 방법.

【청구항 24】

제18항에 있어서,

상기 도전막은 질화 티타늄막으로 형성되는 기억 소자 제조 방법.

【청구항 25】

제18항에 있어서,

상기 한 쌍의 도전막 패턴을 형성하는 단계는,

상기 도전막 상에 절연막을 형성하는 단계와;

상기 절연막 및 도전막을 패터닝하는 단계를 포함하는 기억 소자 제조 방법.

【청구항 26】

제25항에 있어서,

상기 가변저항체 물질막 패턴을 형성하는 단계는,

상기 절연막 및 임시 도전막 패턴을 패터닝 한 후, 가변저항체 물질막을 상기 절연막 상부 및 상기 한 쌍의 도전막 패턴 사이의 공간에 형성하는 단계와;

상기 가변저항체 물질막을 패터닝하는 단계를 포함하는 기억 소자 제조 방법.

【청구항 27】

제20항에 있어서,

상기 반도체 기판을 제공하는 단계는,

상기 불순물 확산영역을 포함하여 또 다른 불순물 확산영역 및 상기 불순물 확산영역들 사이에 위치하도록 게이트 라인을 형성하는 단계와;

상기 또 다른 불순물 확산영역에 전기적으로 접속하는 공통 드레인 전극을 상기 하부 절연막 내에 형성하는 단계를 포함하는 기억 소자 제조 방법.

【청구항 28】

소오스 영역, 드레인 영역 그리고 게이트 전극을 반도체 기판 상에 형성하는 단계;
 절연막에 의해 상기 반도체 기판과 절연되되, 상기 절연막의 소정 부분을 통해서
 상기 드레인 영역에 전기적으로 연결되는 공통 드레인 전극을 형성하는 단계;

상기 공통 드레인 전극이 형성된 결과물 상에 하부 절연막을 형성하는 단계;

상기 소오스 영역에 전기적으로 연결되는 하부 콘택 플러그를 상기 하부 절연막
 내에 형성하는 단계;

상기 하부 절연막 및 하부 콘택 플러그 상에 상전이 물질막 및 보호 절연막을 순차
 적으로 형성하는 단계;

상기 하부 콘택 플러그에 접하지 않도록 상기 보호 절연막 및 상전이 물질막을 차례로 패터닝하여 보호 절연막 패턴 및 상전이 물질막 패턴을 형성하는 단계;

상기 하부 절연막, 하부 콘택 플러그 및 패턴들 상에 상기 상전이 물질막 패턴에 전류를 제공하기 위한 도전막을 형성하는 단계;

상기 상전이 물질막 패턴의 상부 일부가 노출되도록 상기 도전막을 패터닝하여 상기 상전이 물질막 패턴에 의해서 서로 떨어져있으며 상기 상전이 물질막 패턴의 양측벽들에 직접 접촉하는 한 쌍의 도전막 패턴을 형성하되, 어느 하나의 도전막 패턴이 상기 하부 콘택 플러그에 전기적으로 접속하도록 형성하는 단계;

상기 하부 절연막, 도전막 패턴들 및 노출된 상전이 물질막 패턴 상에 상부 절연막을 형성하는 단계;

상기 하부 콘택 플러그에 전기적으로 연결되지 않은 다른 하나의 도전막 패턴에 전기적으로 연결되는 상부 콘택 플러그를 형성하는 단계;

상기 상부 콘택 플러그에 전기적으로 연결되는 금속 배선을 상기 상부 절연막 상에 형성하는 단계를 포함하는 상전이 기억 소자 제조 방법.

【청구항 29】

소오스 영역, 드레인 영역 그리고 게이트 전극을 반도체 기판에 형성하는 단계;

상기 드레인 영역을 제외한 상기 반도체 기판의 다른 부분과는 전기적으로 절연되며 상기 드레인 영역에 전기적으로 연결되는 공통 드레인 전극을 형성하는 단계;

상기 공통 드레인 전극이 형성된 결과물 상에 하부 절연막을 형성하는 단계;

상기 소오스 영역에 전기적으로 연결되는 하부 콘택 플러그를 상기 하부 절연막 내에 형성하는 단계;

상기 하부 절연막 및 하부 콘택 플러그 상에 도전막을 형성하는 단계;

상기 도전막을 패터닝하여 서로 떨어져서 위치하며 서로 대칭적인 한 쌍의 도전막 패턴들을 형성하되, 어느 한 도전막 패턴은 상기 하부 콘택 플러그에 접촉하도록 형성하는 단계;

마주보는 상기 한 쌍의 도전막 패턴들의 측면들에 직접 접촉하도록 상기 한 쌍의 도전막 패턴들 사이에 칼케고나이드 물질막 패턴을 형성하는 단계;

상기 물질막 패턴이 형성된 결과물 상에 상부 절연막을 형성하는 단계;

상기 하부 콘택 플러그에 전기적으로 연결되지 않은 다른 하나의 도전막 패턴에 전기적으로 연결되는 상부 콘택 플러그를 형성하는 단계;

상기 상부 콘택 플러그에 전기적으로 연결되는 금속 배선을 상기 상부 절연막 상에 형성하는 단계를 포함하는 상전이 기억 소자 제조 방법.

【청구항 30】

제29항에 있어서,

상기 한 쌍의 도전막 패턴을 형성하는 단계는,

상기 도전막을 패터닝 하여 상기 하부 콘택 플러그에 전기적으로 연결되는 임시 도전막 패턴을 형성하는 단계와;

상기 임시 도전막 패턴이 형성될 결과물 상에 절연막을 형성하는 단계와;

상기 임시 도전막 패턴이 상기 한 쌍의 도전막 패턴들로 분리되도록 상기 임시 도전막 패턴 사이의 하부 절연막 일부가 노출되도록 상기 절연막 및 상기 임시 도전막 패턴을 패터닝하는 단계를 포함하는 기억 소자 제조 방법.

【청구항 31】

제30항에 있어서,

상기 상전이 물질막 패턴을 형성하는 단계는,

상기 절연막 및 임시 도전막 패턴을 패터닝 한 후, 칼코게아니드 물질막을 상기 절연막 상부, 상기 한 쌍의 도전막 패턴 사이에 노출된 하부 절연막 상에 형성하는 단계와;

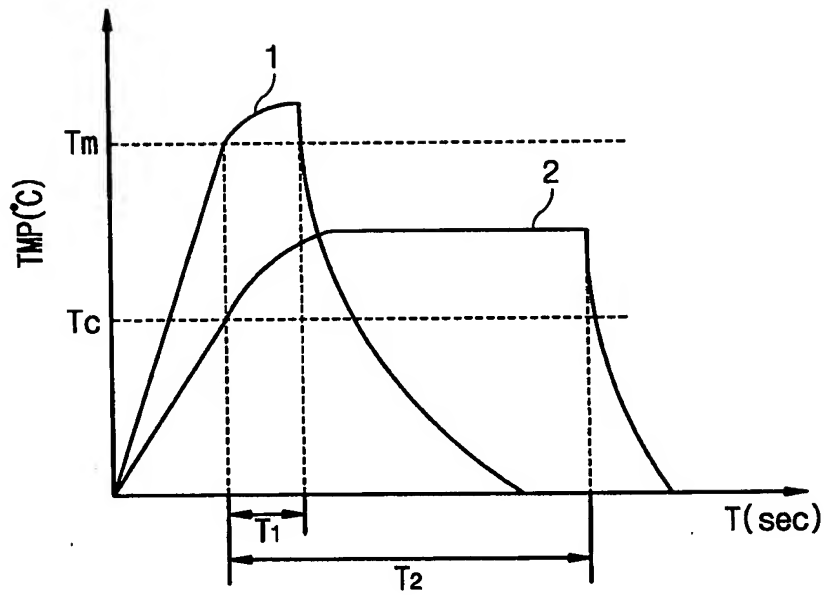
상기 상전이 물질막을 패터닝하는 단계를 포함하는 기억 소자기억 소자.

1020020052728

출력 일자: 2003/2/14

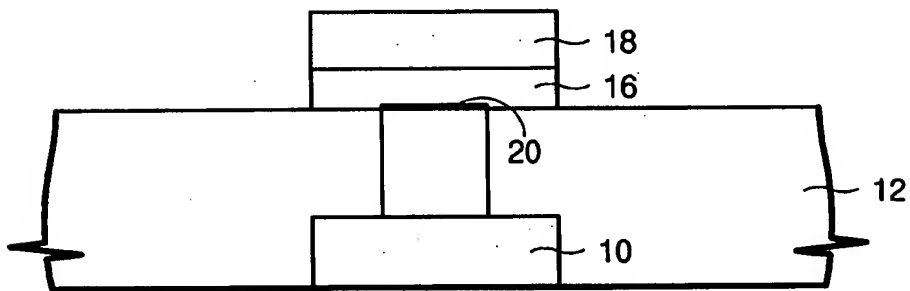
【도면】

【도 1】

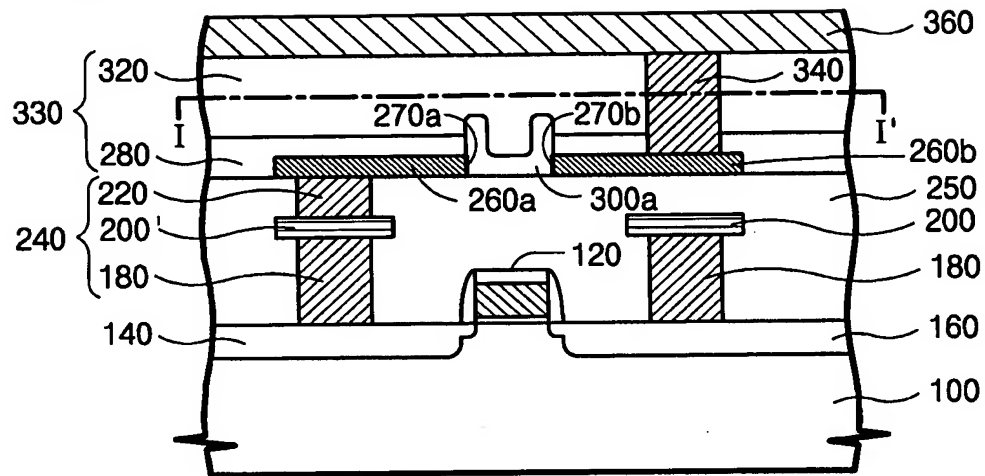


【도 2】

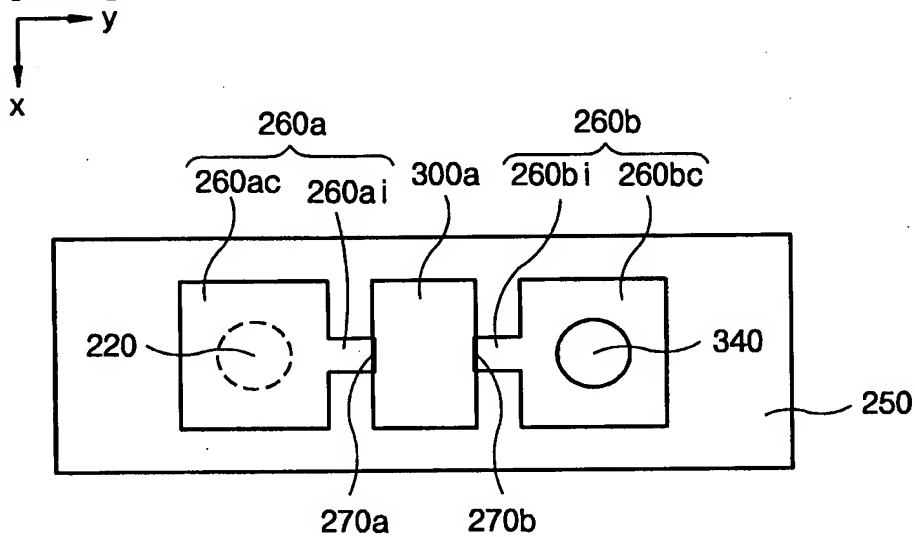
(종래 기술)



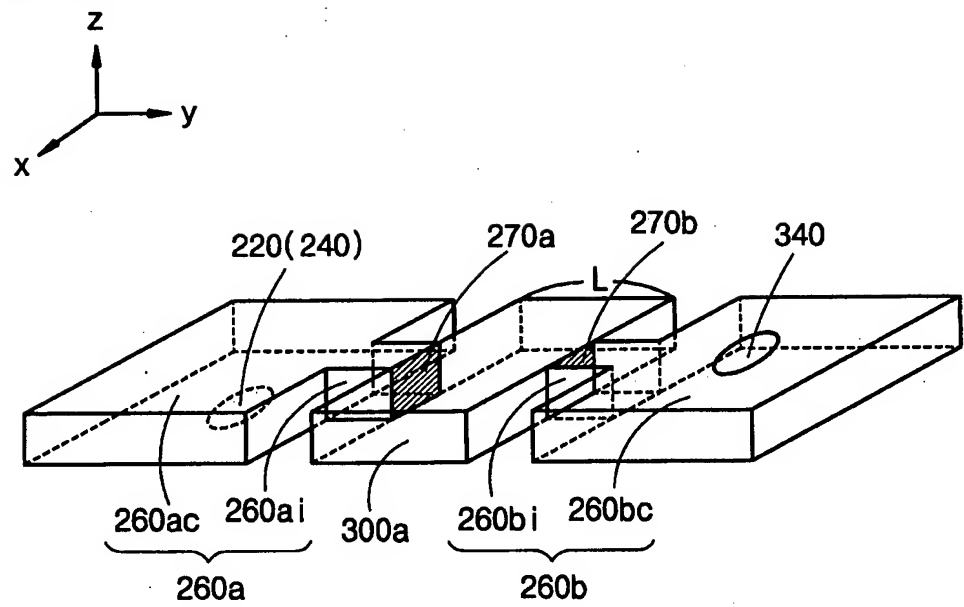
【도 3a】



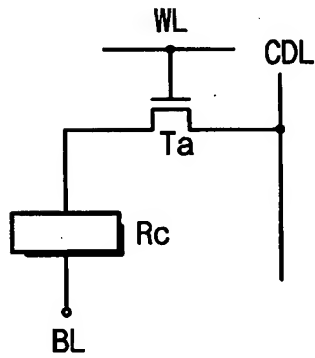
【도 3b】



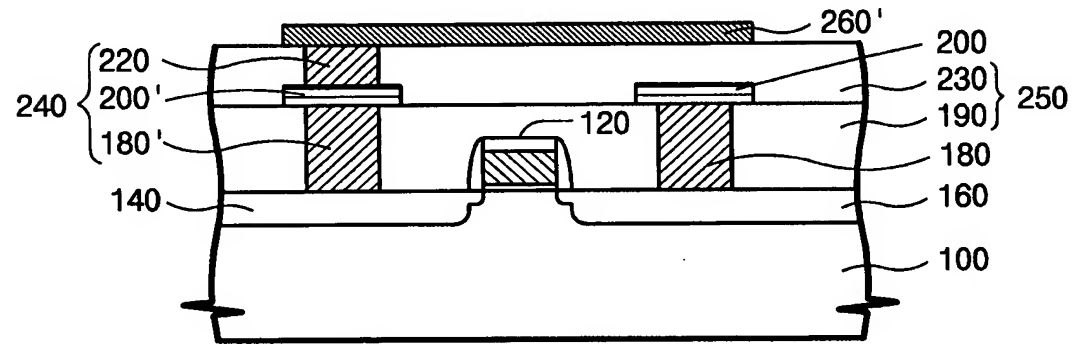
【도 3c】



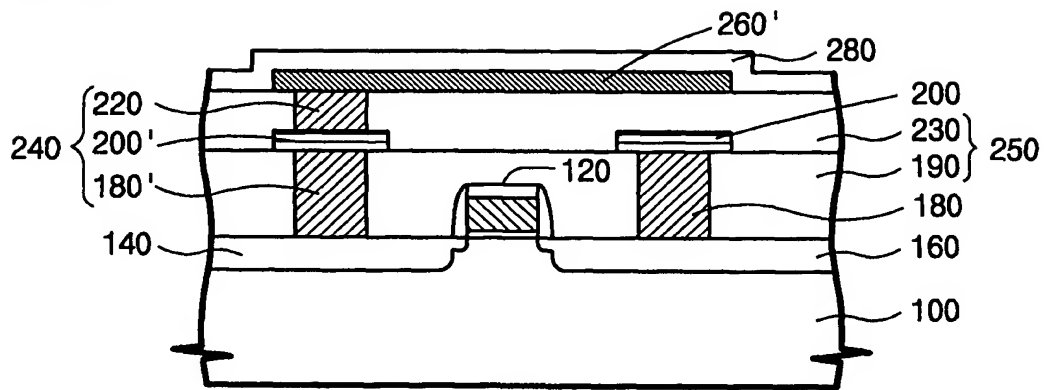
【도 4】



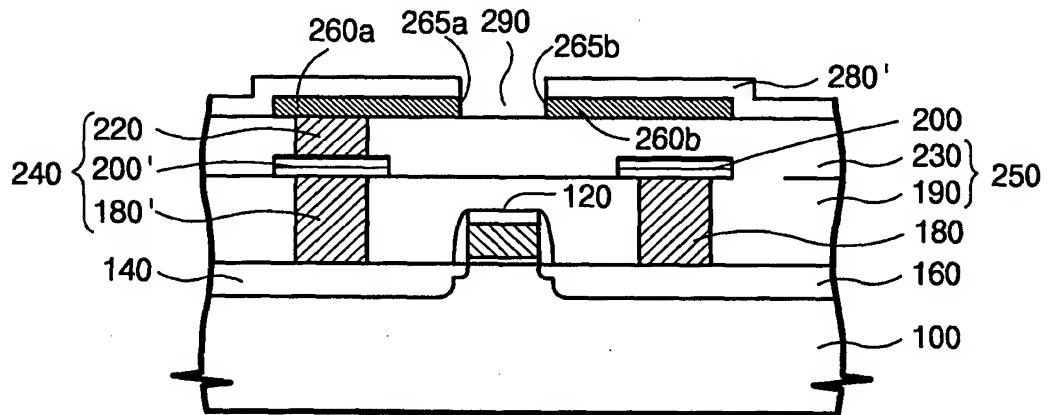
【도 5a】



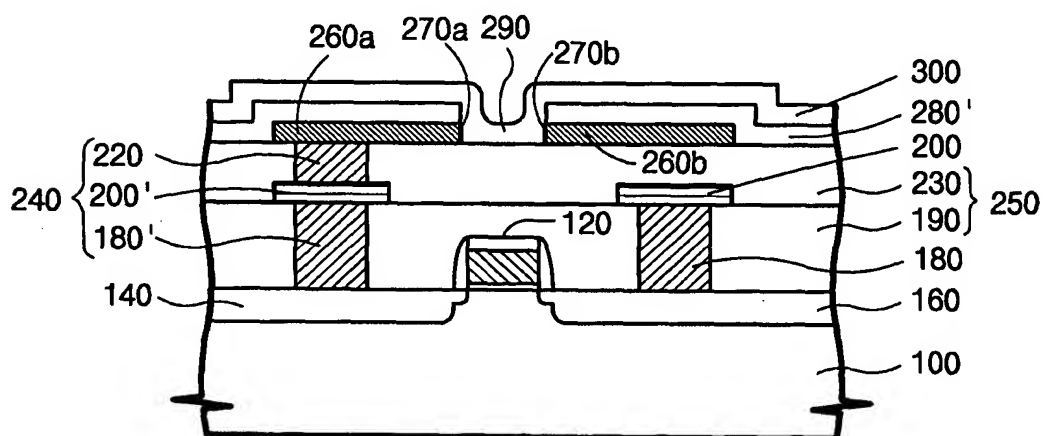
【도 5b】



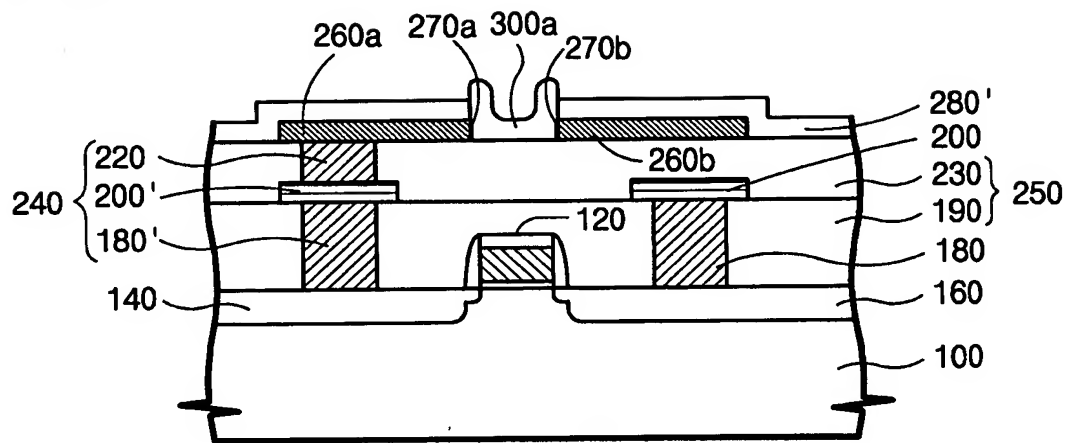
【도 5c】



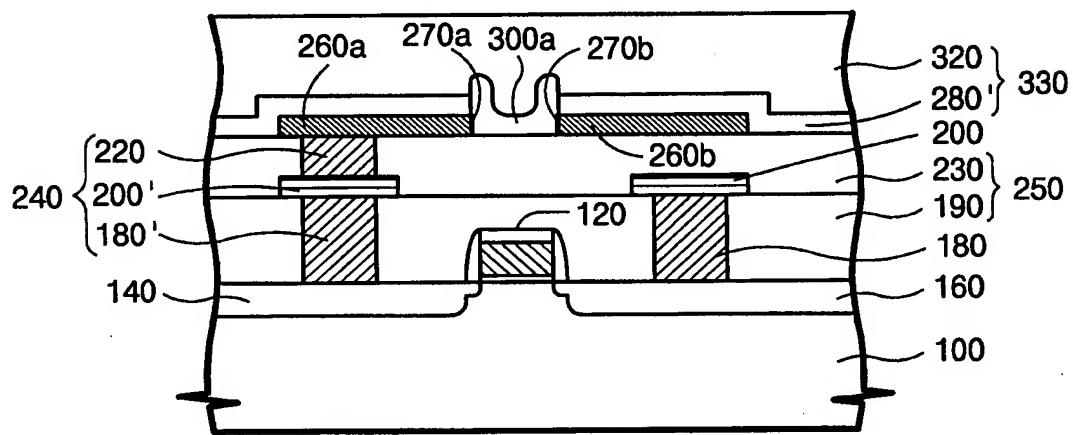
【도 5d】



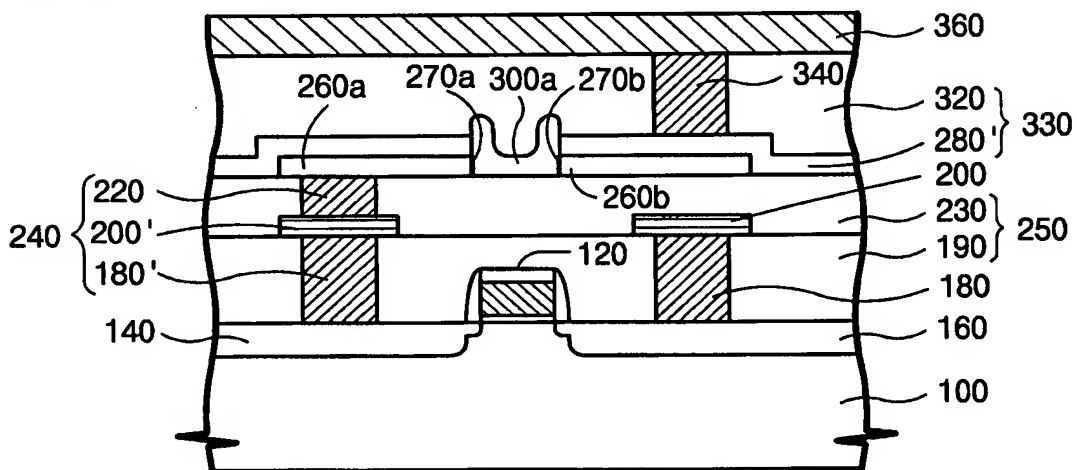
【도 5e】



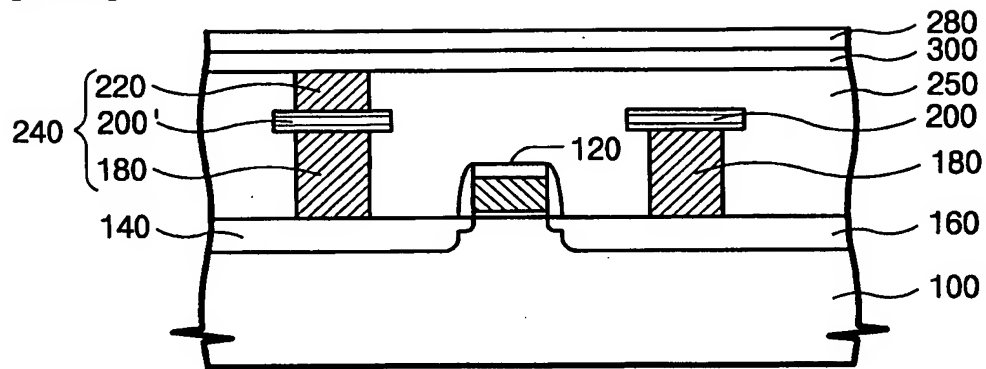
【도 5f】



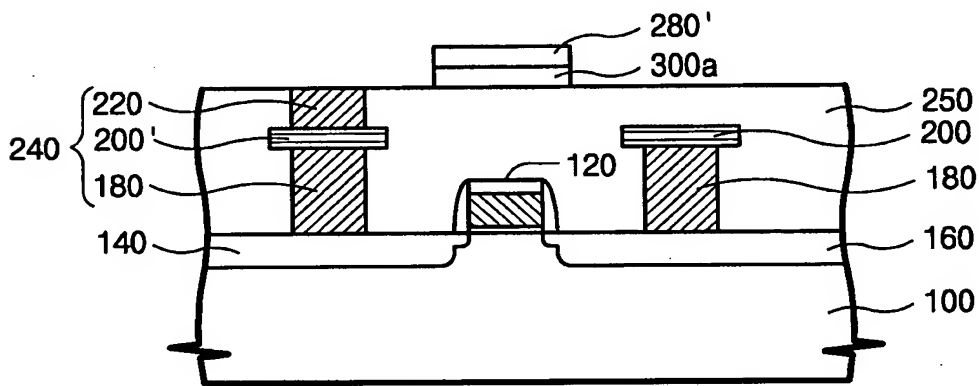
【도 5g】



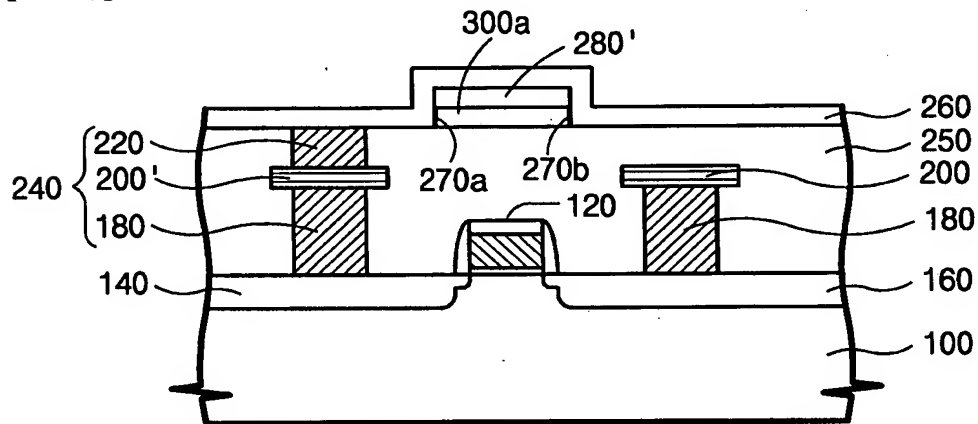
【도 6a】



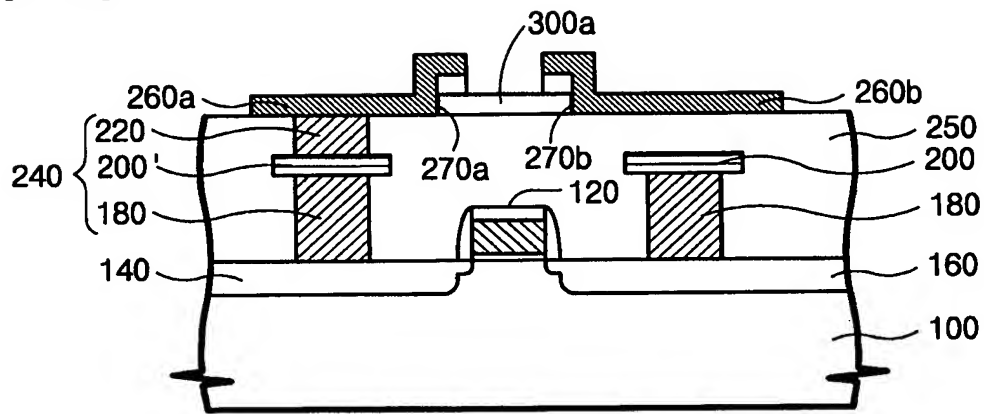
【도 6b】



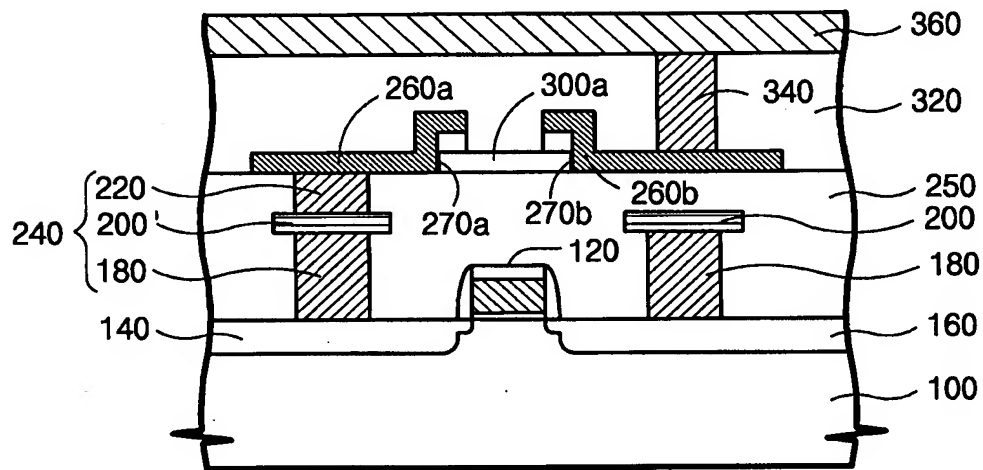
【도 6c】



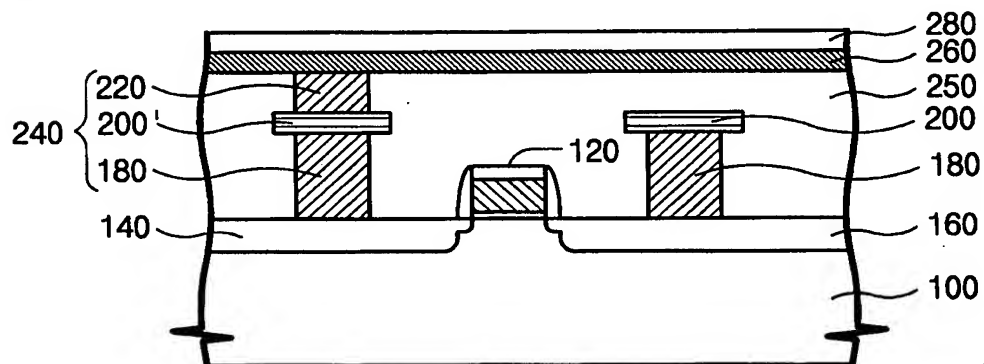
【도 6d】



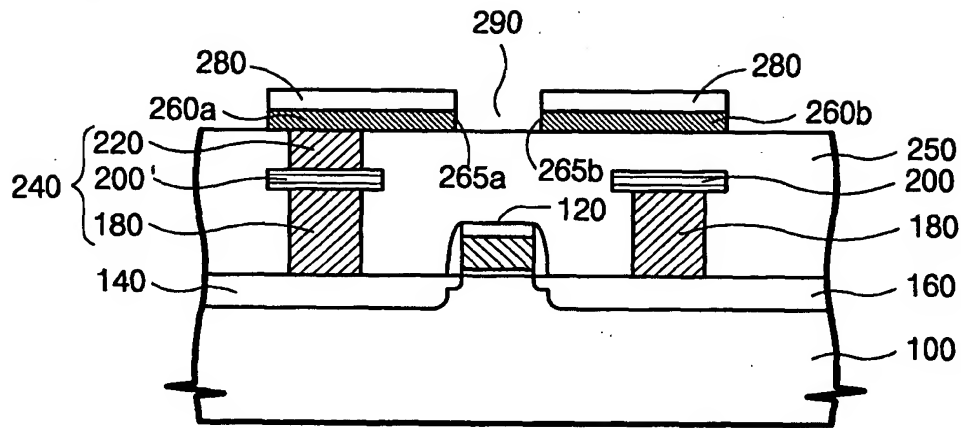
【도 6e】



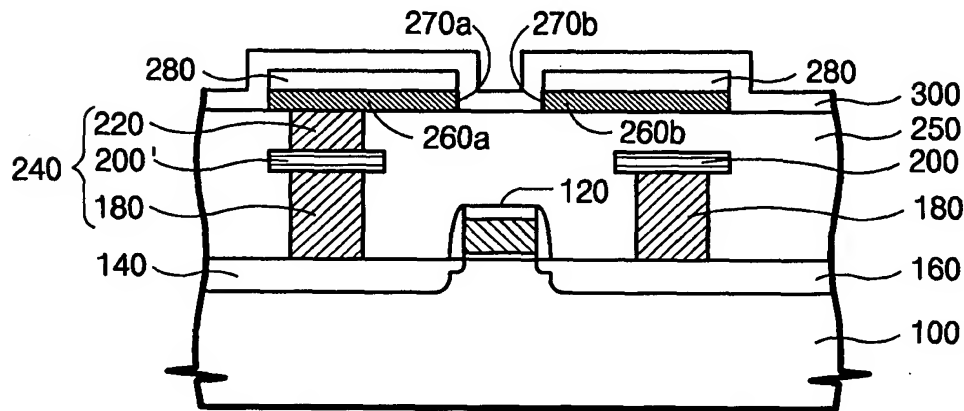
【도 7a】



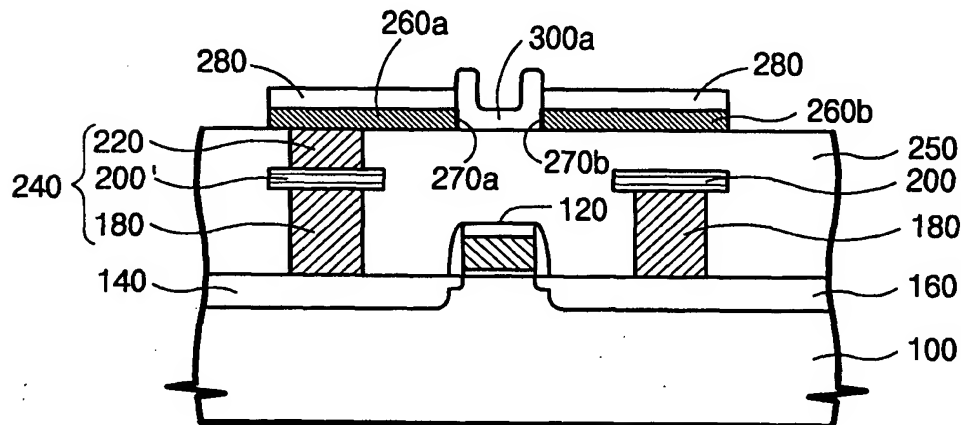
【도 7b】



【도 7c】



【도 7d】



[illegible]